

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-237232

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H04L 7/00

H04J 3/06

(21)Application number : 07-038772

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.02.1995

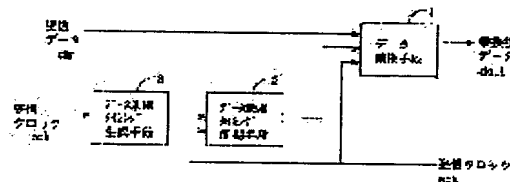
(72)Inventor : UMEGAKI TAKASHI
YOSHIZAWA JINICHI

(54) DATA EXCHANGE CIRCUIT

(57)Abstract:

PURPOSE: To prevent the occurrence of a data error at exchanging by controlling data exchange timing when exchanging data between asynchronous clocks.

CONSTITUTION: A data exchange timing generation means 3 generating a data exchange timing pulse being change point information of received data synchronized with a reception clock from the reception clock and a data exchange timing synchronization means 2 synchronizing the data exchange timing pulse generated by the exchange timing generation means 3 with a transmission clock are provided. Furthermore, a data exchange means 1 converting received data synchronized with the reception clock into data synchronized with the transmission clock by using the data exchange timing pulse synchronized with the transmission clock is provided, and the clock with which received data is synchronized is exchanged from the reception clock to the transmission clock.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-237232

(43)公開日 平成8年(1996)9月13日

(51)Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 7/00

H 0 4 L 7/00

A

H 0 4 J 3/06

H 0 4 J 3/06

Z

審査請求 未請求 請求項の数9 O L (全 27 頁)

(21)出願番号 特願平7-38772

(22)出願日 平成7年(1995)2月27日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 梅垣 隆

大阪府大阪市中央区城見2丁目2番6号 富士通関西デジタル・テクノロジー株式会社内

(72)発明者 吉沢 仁一

神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

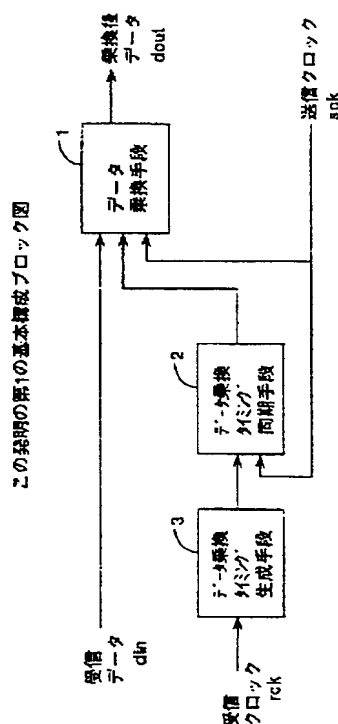
(74)代理人 弁理士 野河 信太郎

(54)【発明の名称】 データ乗換回路

(57)【要約】

【目的】 この発明は、データ乗換回路に関し、非同期クロック間でデータの乗換えを行う場合に、データの乗り換えタイミングを制御することにより乗換え時にデータ誤りを発生させないようにするデータ乗換回路を提供することを目的とする。

【構成】 受信クロックに同期した受信データの変化点情報であるデータ乗換タイミングパルスを前記受信クロックから生成するデータ乗換タイミング生成手段と、前記乗換タイミング生成手段によって生成されたデータ乗換タイミングパルスを送信クロックに同期させるデータ乗換タイミング同期手段と、受信クロックに同期した受信データを、送信クロックに同期した前記データ乗換タイミングパルスを用いて、送信クロックに同期したデータに変換するデータ乗換手段とを備え、受信データが同期しているクロックを受信クロックから送信クロックへ乗り換えることを特徴とする。



【特許請求の範囲】

【請求項1】 受信クロックに同期した受信データの変化点情報であるデータ乗換タイミングパルスを前記受信クロックから生成するデータ乗換タイミング生成手段と、

前記乗換タイミング生成手段によって生成されたデータ乗換タイミングパルスを送信クロックに同期させるデータ乗換タイミング同期手段と、

受信クロックに同期した受信データを、送信クロックに同期した前記データ乗換タイミングパルスを用いて、送信クロックに同期したデータに変換するデータ乗換手段とを備え、

受信データが同期しているクロックを受信クロックから送信クロックへ乗り換えることを特徴とするデータ乗換回路。

【請求項2】 前記データ乗換タイミング生成手段によって生成されたデータ乗換タイミングパルスを用いて、受信データの中から特定位置のデータを抜き出し、受信クロックに同期した検出データとして出力するデータ検出手段をさらに備え、

前記データ乗換手段が、前記データ検出手段から出力される検出データを、前記データ乗換タイミング同期手段によって送信クロックに同期させられたデータ乗換タイミングパルスを用いて、検出データの同期するクロックを受信クロックから送信クロックに乗り換えることを特徴とする請求項1記載のデータ乗換回路。

【請求項3】 前記データ乗換タイミング同期手段がインバータ回路を備え、送信クロックに同期させられたデータ乗換タイミングパルスをこのインバータ回路で反転させて、データ乗換タイミング同期手段からデータ乗換手段へ出力し、

データ乗換手段が、この反転されたデータ乗換タイミングパルスが入力された直後の送信クロックによって前記検出データを送信クロックに同期するように乗り換えることを特徴とする請求項2記載のデータ乗換回路。

【請求項4】 前記データ乗換タイミング同期手段がパルスの立下りを検出したパルス信号を生成する立下り検出回路を備え、

この立下り検出回路が、前記データ乗換タイミングパルスの立下りを検出した立下り検出パルス信号を生成し、前記データ乗換手段が、この立下り検出パルス信号が出力されている時にのみ前記検出データを送信クロックに同期するように乗り換えることを特徴とする請求項2記載のデータ乗換回路。

【請求項5】 受信クロックの周波数と送信クロックの周波数とを比較するクロック周波数比較手段をさらに備え、

前記データ乗換タイミング生成手段が、前記クロック周波数比較手段から出力される比較結果であるクロック幅バイナリデータを受けて、前記データ乗換タイミングパ

ルスのパルス幅を制御することを特徴とする請求項1、2、3または4記載のデータ乗換回路。

【請求項6】 前記データ乗換タイミング生成手段が、前記乗換タイミングパルスのパルス幅を送信クロックの2クロック幅以上となるように制御することを特徴とする請求項5記載のデータ乗換回路。

【請求項7】 前記データ乗換タイミング同期手段が、前記データ乗換タイミング生成手段により生成された乗換タイミングパルスから第2の立下り検出パルス信号を生成するための第1のタイミング信号を生成する第1タイミング制御手段と、

受信クロックに同期した第1の立下り検出パルス信号を生成する第1タイミング同期手段と、

前記第1のタイミング信号から送信クロックに同期した第2の立下り検出パルス信号及び立下り検出パルス信号を生成する第2タイミング同期手段と、

前記第2の立下りパルス信号がセット情報として入力され、かつ立下り検出パルス信号がリセット情報として入力され、前記第1の立下り検出パルス信号を生成するための第2のタイミング信号を送信クロックに同期させて生成する第2タイミング制御手段とから構成され、

前記第2のタイミング信号が前記第1タイミング同期手段に入力され、

第2の立下り検出パルス信号が、データ乗換手段1において受信クロックと送信クロックの周波数に関係なく検出データを送信クロックに同期するように乗り換えることのできるタイミングで前記データ乗換手段に入力されることを特徴とする請求項2記載のデータ乗換回路。

【請求項8】 受信クロックに同期した受信データの変化点情報であるデータ乗換タイミングパルスを前記受信クロックから生成するデータ乗換タイミング生成手段と、

前記データ乗換タイミングパルスを用いて、受信データの中から特定位置のデータを抜き出し、受信クロックに同期した検出データとして出力するデータ検出手段と、外部から供給される送信クロック用のマスタクロックを分周して送信クロックを生成する送信クロック生成手段と、

前記検出データを前記マスタクロックに同期させる検出データ同期手段と、

マスタクロックに同期した検出データを一定時間監視して複数のクロック周期分にわたって同一の検出データが連続するかどうかを判定し、検出データの変化点が存在しないタイミングを示しかつマスタクロックに同期したタイミングパルス生成するデータ乗換タイミング判定手段と、

前記マスタクロックに同期した検出データを、前記タイミングパルスを用いて前記送信クロックに同期するように乗り換えるデータ乗換手段とを備えることを特徴とするデータ乗換回路。

【請求項9】 受信クロックに同期した受信データの変化点情報であるデータ乗換タイミングパルスを前記受信クロックから生成するデータ乗換タイミング生成手段と、

前記データ乗換タイミングパルスを用いて、受信データの中から特定位置のデータを抜き出し、受信クロックに同期した検出データとして出力するデータ検出手段と、受信クロックを用いて送信クロックを微分することにより、送信クロックの立上りを検出し、受信クロックに同期しかつ送信クロックの周期間隔で出力される立上り検出パルスを出力する送信クロック微分処理手段と、この立上り検出パルスをもとに受信クロックのタイミングで検出データを取り込む検出データラッチ手段と、前記検出データラッチ手段によって取り込まれた検出データを、前記送信クロックに同期させるデータ乗換部とを備えることを特徴とするデータ乗換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、データ乗換回路に関し、特に、各種デジタルネットワークに接続されたデジタル伝送装置において、受信データを速度の異なる非同期クロックに乗せ換える非同期クロック間のデータ乗換回路に関する。

【0002】

【従来の技術】従来から、デジタルネットワークにおけるデジタル伝送装置では、伝送されるデータを送信するための基準となるクロックがネットワーク相互間または、端末装置とネットワークの間で異なるため、伝送データを相手側のクロックに同期させて送信するようにデータの乗換え操作が行われている。すなわち、デジタル伝送装置に受信されたデータの受信クロックと、このデータを送信しようとしているネットワークの送信クロックとの速度が異なる場合には、デジタル伝送装置内において、フリップフロップ等を用いて受信されたデータを送信クロックに同期させるように制御してデータの乗り換えを行う。

【0003】図22に、このような従来におけるデータの乗換えを行うブロック図の一例を示す。同図において、データ乗換部101は、伝送の基準タイミングとなるデータ送信クロックsckに、受信されたデータdinを乗換えるものである。Nは、入力される受信データがN本あることを示している。ここで、受信データdinは、この受信データと共に外部から与えられる受信クロックrcckに同期しているものとする。

【0004】一般に、この受信クロックrcckと送信クロックsckとは速度が異なり、データ乗換部101で、受信データdinは送信クロックsckに同期するように制御され、乗換え後データdoutとして出力される。たとえばデータ乗換部101は、1個のdフリップフロップで実現できる。この場合、送信クロックsc

kはDフリップフロップのクロック入力端子に入力され、受信データdinは、クロックsckの立上りでラッチされて乗換え後データdoutとして出力される。

【0005】図23に、従来におけるデータ乗換えのタイムチャート例を示す。ここで、図の上部は、受信データdinが受信クロックrcckの立上に同期してデータ乗換部101に入力されることを示している。ここでは図示していないが、後述する送信クロックsckは、外部から与えられる受信クロックrcckとは無関係に、デジタル伝送装置内部で生成されるクロックである。すなわち、受信クロックrcckと送信クロックとは非同期関係にある。

【0006】同図の下部は、この受信データの変化点付近を拡大したものである。ここで、受信データdinは8ビット(A1, A2, ……A8)のデータからなるものとする。受信データdinは、同図に示すように、実際には受信クロックrcckの立上りから少し遅れた位置で、A1からB1へ、あるいはA8からB8へと変化する。

【0007】このように、ある程度の時間的ばらつきを持って受信データdinは、データ乗換部101であるDフリップフロップに入力されるが、データ乗換部101では、入力された送信クロックsckの立上りのタイミングで受信データdinのA1からA8のそれぞれがラッチされ、送信クロックsckのタイミング周期に同期した乗換え後データdoutとして出力される。

【0008】

【発明が解決しようとする課題】ところで、図23に示すような非同期関係にある受信クロックrcckと送信クロックsckとの間で、データの乗り換えを行おうとする場合には、次のような問題が生じる。

【0009】図23のタイムチャートは、この問題が生じる場合を示したタイムチャートである。すなわち、Dフリップフロップ(DFF)のセットアップホールドタイムに受信データの変化点が存在する場合には、DFFの出力は正常な値を示さないときがある。

【0010】たとえば、前記したように送信クロックsckの立上りのタイミングで受信データがラッチされてデータの乗り換えが行われる場合には、図23に示すように、乗り換え点の直前で変化した受信データA2とA8は、乗換点で正しく変化後のデータがラッチされ、A2はB2へ、A8はB8へ交換させられる。しかし、乗換点の直後に変化した受信データA1とA7は、交換点では変化後のデータはラッチされないで、A1及びA7のまま乗換えられることになり、結果としてデータ誤りが発生することになる。

【0011】このように、乗り換え前の受信クロックrcckと乗り換え後の送信クロックsckとが非同期で動作している場合には、両者のタイミング関係によっては、クロック乗換前と乗換後のデータが異なるという問

題が生じるおそれがある。

【0012】そこで、この発明は、以上のような事情を考慮してなされたものであり、非同期クロック間でデータの乗換えを行う場合に、データの乗り換えタイミングを制御することにより乗換え時にデータ誤りを発生させないようにするデータ乗換回路を提供することを目的とする。

【0013】

【課題を解決するための手段】図1に、この発明の第1の基本構成ブロック図を示す。同図において、この発明は受信クロックに同期した受信データの変化点情報であるデータ乗換タイミングパルスを前記受信クロックから生成するデータ乗換タイミング生成手段3と、前記乗換タイミング生成手段3によって生成されたデータ乗換タイミングパルスを送信クロックに同期させるデータ乗換タイミング同期手段2と、受信クロックに同期した受信データを、送信クロックに同期した前記データ乗換タイミングパルスを用いて、送信クロックに同期したデータに変換するデータ乗換手段1とを備え、受信データが同期しているクロックを受信クロックから送信クロックへ乗り換えることを特徴とするデータ乗換回路を提供するものである。

【0014】図2に、この発明の第2の基本構成ブロック図を示す。同図において、この発明は前記データ乗換タイミング生成手段3によって生成されたデータ乗換タイミングパルスを用いて、受信データの中から特定位置のデータを抜き出し、受信クロックに同期した検出データとして出力するデータ検出手段4をさらに備え、前記データ乗換手段1が、前記データ検出手段4から出力される検出データを、前記データ乗換タイミング同期手段2によって送信クロックに同期させられたデータ乗換タイミングパルスを用いて、検出データの同期するクロックを受信クロックから送信クロックに乗り換えることを特徴とするデータ乗換回路を提供するものである。

【0015】また、前記データ乗換タイミング同期手段2がインバータ回路を備え、送信クロックに同期させられたデータ乗換タイミングパルスをこのインバータ回路で反転させて、データ乗換タイミング同期手段2からデータ乗換手段1へ出力し、データ乗換手段1が、この反転されたデータ乗換タイミングパルスが入力された直後の送信クロックによって前記検出データを送信クロックに同期するように乗り換えるようにしてもよい。

【0016】また、前記データ乗換タイミング同期手段2がパルスの立下りを検出したパルス信号を生成する立下り検出回路を備え、この立下り検出回路が、前記データ乗換タイミングパルスの立下りを検出した立下り検出パルス信号を生成し、前記データ乗換手段1が、この立下り検出パルス信号が出力されている時にのみ前記検出データを送信クロックに同期するように乗り換えるようにしてもよい。

【0017】図3に、この発明の第3の基本構成ブロック図を示す。同図において、この発明は、受信クロックの周波数と送信クロックの周波数とを比較するクロック周波数比較手段5をさらに備え、前記データ乗換タイミング生成手段3が、前記クロック周波数比較手段5から出力される比較結果であるクロック幅バイナリデータを受けて、前記データ乗換タイミングパルスのパルス幅を制御することを特徴とするデータ乗換回路を提供するものである。ここで、前記データ乗換タイミング生成手段3が、前記乗換タイミングパルスのパルス幅を送信クロックの2クロック幅以上となるように制御することが好ましい。

【0018】図4に、この発明の第4の基本構成ブロック図を示す。ここで、前記データ乗換タイミング同期手段2が、前記データ乗換タイミング生成手段3により生成された乗換タイミングパルスから第2の立上り検出パルス信号を生成するための第1のタイミング信号を生成する第1タイミング制御手段6と、受信クロックに同期した第1の立上り検出パルスを生成する第1タイミング同期手段7と、前記第1のタイミング信号から送信クロックに同期した第2の立上り検出パルス信号及び立下り検出パルス信号を生成する第2タイミング同期手段8と、前記第2の立上りパルス信号がセット情報として入力され、かつ立下り検出パルス信号がリセット情報として入力され、前記第1の立上り検出パルスを生成するための第2のタイミング信号を送信クロックに同期させて生成する第2タイミング制御手段9とから構成され、前記第2のタイミング信号が前記第1タイミング同期手段7に入力され、第2の立上り検出パルス信号が、データ乗換手段1において受信クロックと送信クロックの周波数に関係なく検出データを送信クロックに同期するように乗り換えることのできるタイミングで前記データ乗換手段1に入力されるようにすることが好ましい。

【0019】図5に、この発明の第5の基本構成ブロック図を示す。同図において、この発明は、受信クロックに同期した受信データの変化点情報であるデータ乗換タイミングパルスを前記受信クロックから生成するデータ乗換タイミング生成手段3と、前記データ乗換タイミングパルスを用いて、受信データの中から特定位置のデータを抜き出し、受信クロックに同期した検出データとして出力するデータ検出手段4と、外部から供給される送信クロック用のマスタクロックを分周して送信クロックを生成する送信クロック生成手段10と、前記検出データを前記マスタクロックに同期させる検出データ同期手段11と、マスタクロックに同期した検出データを一定時間監視して複数のクロック周期分にわたって同一の検出データが連続するかどうかを判定し、検出データの変化点が存在しないタイミングを示しかつマスタクロックに同期したタイミングパルスを生成するデータ乗換タイミング判定手段12と、前記マスタクロックに同期した

検出データを、前記タイミングパルスを用いて前記送信クロックに同期するように乗り換えるデータ乗換手段1とを備えることを特徴とするデータ乗換回路を提供するものである。

【0020】図6に、この発明の第6の基本構成ブロック図を示す。同図において、この発明は、受信クロックに同期した受信データの変化点情報であるデータ乗換タイミングパルスを前記受信クロックから生成するデータ乗換タイミング生成手段3と、前記データ乗換タイミングパルスを用いて、受信データの中から特定位置のデータを抜き出し、受信クロックに同期した検出データとして出力するデータ検出手段4と、受信クロックを用いて送信クロックを微分することにより、送信クロックの立上りを検出し、受信クロックに同期しかつ送信クロックの周期間隔で出力される立上り検出パルスを出力する送信クロック微分処理手段13と、この立上り検出パルスをもとに受信クロックのタイミングで検出データを取り込む検出データラッチ手段14と、前記検出データラッチ手段14によって取り込まれた検出データを、前記送信クロックに同期させるデータ乗換部1とを備えることを特徴とするデータ乗換回路を提供するものである。データ乗換手段1は、入力されるデータを現在同期されているクロックから、異なる周波数を持つクロックに同期するように乗り換えるものであり、種々の論理回路により構成できるが、たとえば、最も単純にはDフリップフロップによって実現することができる。

【0021】ここで、入力されるデータはDフリップフロップのD入力端子に入力され、データ乗換タイミングを示すデータ乗換タイミングパルスはイネーブル端子(EN端子)に入力される。また、乗り換え後にデータが同期するクロックは、Dフリップフロップのクロック入力端子(CK端子)に入力される。また、乗り換えられたデータは、DフリップフロップのQ出力端子から出力される。

【0022】データ乗換タイミング同期手段2は、データ乗換タイミング生成手段3で生成されたデータ乗換タイミングパルスを送信クロックに同期させるような論理回路で構成されることが好ましいが、たとえば、クロック端子(CK)に送信クロックが入力されるDフリップフロップによって構成することができる。

【0023】また、前記したようにデータ乗換タイミング同期手段2の出力部分に、インバータ回路を備えてもよい。また、データ乗換タイミング同期手段2の出力部分に、前記したように立下り検出パルス信号を生成する立下り検出回路を備えてもよい。

【0024】データ乗換タイミング生成手段3は、前記データ乗換タイミングパルスを前記受信クロックから生成するための論理回路から構成されるが、たとえばカウンタ、デコーダ、Dフリップフロップなどから構成される。

【0025】データ検出手段4は、受信データの中の特定位置のデータを受信クロックに同期した検出データとして抜き出すために、たとえばDフリップフロップを用いることができる。ここで、このDフリップフロップのクロック端子(CK)には受信クロックを入力し、イネーブル端子(EN)には、前記したデータ乗換タイミングパルスを入力する。

【0026】クロック周波数比較手段5は、送信クロックと受信クロックを入力としてこれらのクロックの周波数をカウントし比較することによって、その比較結果をバイナリデータとして出力することのできる論理回路によって構成されるが、カウンタ、Dフリップフロップ、コンパレータ、デコーダ及びその他の論理回路を組み合わせることによって実現できる。

【0027】第1タイミング制御手段6及び第2タイミング制御手段9は、たとえばJKフリップフロップを用いて構成することができる。ここで第1タイミング制御手段6のJKフリップフロップのクロック端子(CK)には受信クロックを入力し、第2タイミング制御手段9のクロック端子(CK)には送信クロックを入力する。また、第1タイミング制御手段6のJKフリップフロップのJ入力端子には、データ乗換タイミング生成手段3により生成された乗換タイミングパルスが入力される。

【0028】第1タイミング同期手段7及び第2タイミング同期手段8は、立上り検出パルスあるいは立下り検出パルスを送出するための論理回路によって構成されるが、たとえば、Dフリップフロップ及びAND回路等を組合わせることによって実現することができる。

【0029】送信クロック生成手段10は、送信クロック用のマスタクロックmckを分周して所定の送信クロックを生成する論理回路から構成されるが、一般に分周器を使用することが好ましい。検出データ同期手段11は、Dフリップフロップを用いることが好ましく、送信クロック用のマスタクロックmckをクロック入力端子(CK)に入力して、マスタクロックmckに同期した検出データを出力する。

【0030】データ乗換タイミング判定手段12は、フリップフロップ、AND回路及びインバータ等を組み合わせて構成することが好ましい。送信クロック微分処理手段13は、Dフリップフロップ及びAND回路等の論理回路から構成されることが好ましく、送信クロックをフリップフロップの入力とし、受信クロックをフリップフロップのクロック入力端子(CK)への入力とすることによって送信クロックを微分し、送信クロックの立上りを示すパルス信号を出力する。

【0031】検出データラッチ手段14は、フリップフロップによって実現することができるが、たとえば、送信クロック微分処理手段13によって生成された送信クロックの立上りを検出したパルスをフリップフロップのイネーブル端子(EN)入力として、受信クロックに同

期した検出データを出力するようにする。

【0032】以上のように、この発明のデータ乗換回路の各構成ブロックは、フリップフロップ、カウンタ、デコーダ、AND回路をはじめとする論理回路を組み合わせることにより実現できる。また、このデータ乗換回路の動作の基本となる受信クロック及び送信クロックはこの回路内部で抽出又は生成することも可能であるが、主として、このデータ乗換回路を含む伝送制御装置等において抽出又は生成されて、このデータ乗換回路に与えられることが好ましい。

【0033】

【作用】この発明によれば、データ乗換タイミング生成手段3によってデータ乗換タイミングパルスを生成し、これをデータ乗換タイミング同期手段2によって送信クロックに同期させ、この送信クロックに同期したデータ乗換タイミングパルスを用いて、受信データを送信クロックに同期するように乗り換えているので、受信データを誤って乗り換えるような状態が発生するのを防止することができ、信頼性の高いデータ乗換回路を実現することができる。

【0034】また、この発明によれば、データ検出手段4がデータ乗換タイミングパルスを用いて受信データの中から特定位置のデータを検出データとして抜き出して、データ乗換手段1が送信クロックに同期した検出データに変換するので、特定位置の検出データについて非同期のクロック間の乗り換えを誤りなく行うことができる。

【0035】また、データ乗換タイミング同期手段にインバータ回路を設けてデータ乗換タイミングパルスを反転させることによって、検出データの変化点が存在する間はデータ乗り換えを行わず、データ乗換タイミングパルスが入力された直後の送信クロックによって検出データを送信クロックに同期するように乗り換えるので、データを誤って乗り換えるような状態は発生することがなく、信頼性の高いデータ乗換回路を実現することができる。

【0036】また、データ乗換タイミング同期手段2にパルスの立下りを検出する立下り検出回路を設けることによって、この立下り検出パルス信号が出力されている時にのみ、検出データを送信クロックに同期するように乗り換えているので、データを誤って乗り換えるような状態は発生することがない。

【0037】また、この発明によれば、クロック周波数比較手段5を設けて、クロック周波数比較手段5から出力されるクロック幅バイナリデータを受けてデータ乗換タイミング生成手段がデータ乗換タイミングパルスのパルス幅を制御しているので、送信クロック及び受信クロックの周波数が未知の場合でも、確実にデータ乗換タイミングを生成することができる。

【0038】また、この発明によれば、データ乗換タイ

ミング同期手段2が、第1及び第2のタイミング同期手段7、8と第1及び第2のタイミング制御手段6、9とを備え、前記第2のタイミング信号が、前記第1タイミング同期手段7に入力され、第2の立上り検出パルス信号が、データ乗換手段1において受信クロックと送信クロックの周波数に関係なく、検出データを送信クロックに同期するように乗り換えることのできるタイミングで、データ乗換手段1に入力されるので、データ乗換タイミングを示すパルス信号のパルス幅を制御することなく、検出データのクロック乗換えをすることができる。

【0039】また、この発明によれば、送信クロック用のマスタクロックに同期した検出データを一定時間監視して複数クロック周期分同一の検出データが連続するかどうかを判定し、検出データの変化点が存在しないタイミングを示しかつマスタクロックに同期したタイミングパルスを生成するので、受信クロックからデータ乗換タイミングを生成することなく、送信クロックを用いて検出データを乗り換えることができる。

【0040】また、この発明によれば、送信クロック微分処理手段が、受信クロックを用いて送信クロックを微分することにより送信クロックの立下りを検出して受信クロックに同期しかつ送信クロックの周期間隔で出力される立下り検出パルスを出力し、検出データラッチ手段が、この立下り検出パルスをもとに受信クロックのタイミングで検出データを取り込むようにしているので、受信クロックによる乗換タイミングを生成することなく、送信クロックのみを用いて検出データを乗り換えることができる。

【0041】

【実施例】以下、図面に示す実施例に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

【0042】実施例1：図7に、この発明の実施例1のデータ乗換回路の構成図を示す。ここに示したデータ乗換回路は、非同期クロック間におけるデータの乗換えを必要とするデジタル伝送位置に用いることができ、特に特定用途のデータ伝送の伝送装置に限定して用いられるものではない。

【0043】同図において、受信データ d_{in} は、HDL C等の規定されたフォーマットを有するフレームデータである。また、検出データ d_{t2} は、フレームデータのうち、特定位置に存在するデータを抜き出したデータである。

【0044】この実施例1では、受信されたフレームデータのうち、あるいは特定位置に存在する検出データについて非同期クロック間の乗換えを行う場合について説明する。

【0045】データ乗換部21は、1つのDフリップフロップFF5で構成され、前記検出データ d_{t2} を入力として、送信クロック s_{ck} に同期したデータ（乗換後

データ) dout に乗換える動作をするものである。データ乗換タイミング生成部 23 は、受信クロック rck に基づいて、受信データ din から検出データ dt2 を検出すると共に、検出データの乗換えタイミングを生成する基となるパルス信号 dt1 を出力するものである。

【0046】図 7 に示すように、このデータ乗換タイミング生成部 23 は、カウンタ (CTR) とデコーダ (DEC) と D フリップフロップ FF1 とから構成される。ここでは、たとえば 0 から X (X=1, 2……n) まで

カウントし、カウント値が X になった時にデコーダ (DEC) からパルスが出力されて、さらに FF1 において受信クロック rck に同期した 1 周期分のパルス信号 dt1 が出力される。

【0047】データ乗換タイミング同期部 22 は、FF1 の Q 出力信号であるパルス信号 dt1 を送信クロック sck に同期させてデータ乗換部 11 へ出力するものであり、2 つの D フリップフロップ (FF3、FF4) と、1 つのインバータとから構成される。

【0048】データ検出部 24 は、1 つの D フリップフロップ FF2 から構成され、受信データ dinの中からその特定位置に存在する検出データ dt2 を抜き出して出力するものである。この FF2 は、EN 端子が “H” レベル時に動作して、EN 端子が “L” レベル時は前状態を保持するものであるが、この EN 端子には、前記したパルス信号 dt1 を入力とし、このパルス信号 dt1 が “H” レベル状態のときにのみ D 端子に入力される受信データ、すなわち検出データ dt2 を出力する。ここで、FF2 の Q 端子から出力される検出データ dt2 は、受信クロック rck に同期している。

【0049】以上がこの実施例 1 の構成要素とその動作概要であるが、次にデータの乗換え動作について説明する。図 8 に実施例 1 のタイムチャートを示す。前記したように、データ乗換タイミング生成部 23 において、受信データ din のうち特定位置のデータを検出するタイミングを示すパルス信号 dt1 が出力され、この dt1 が FF2 の EN 端子に入力されて、“H” レベル状態のときに FF2 の D 端子に入力される受信データ ‘A’ が FF2 でラッチされ (図 8 の㉑)、検出データ dt2 として出力される。ここで dt2 は、受信クロック rck に同期している。

【0050】また、データ乗換タイミング生成部 23 から出力された前記パルス信号 dt1 はデータ乗換タイミング同期部 22 にも入力される。ここで、このパルス信号 dt1 は、受信クロックに同期したデータ乗換タイミングパルスとして機能する。データ乗換タイミング同期部 22 の FF3 及び FF4 では、パルス信号 dt1 は、送信クロック sck に同期したタイミングを持つパルス信号 (dt3 及び dt4) として同期変換される。ここで dt4 は、送信クロックに同期したデータ乗換タイミングパルスと言うことができるが、以下タイミング信号

と呼ぶ。

【0051】この後、タイミング信号 dt4 はインバータで反転され、データ乗換部 21 の EN 端子に入力されて、この EN 端子が “H” レベル状態のときに、FF5 の D 端子に入力される検出データ dt2 (‘A’) がラッチされて (図 8 の㉒)、送信データ dout として出力される。ここで dout は、送信クロック sck に同期したものである。すなわち、送信データ dout は、検出データ dt2 を受信クロック rck から送信クロック sck に乗り換えたものである。

【0052】以上のように、タイミング信号 dt4 が出力されているとき、すなわち、“H” レベル状態にある場合にはデータの乗換えは行われず、dt4 が ‘H’ から ‘L’ に変化した直後の送信クロック sck の立上りのときに (図 8 の㉓)、検出データ dt2 の乗換えが行われる。

【0053】したがって、データ乗換タイミング生成部 23 で生成されたパルス信号 dt1 をもとに、検出データ dt2 の変化点が存在する間は、データの乗換えを行なわないようにデータ乗換タイミング同期部 22 でタイミングを生成するので、検出データ dt2 を誤って乗り換えるような状態が発生することではなく、したがって信頼性の高いデータ乗換回路を実現することができる。

【0054】実施例 2：図 9 に、この発明の実施例 2 のデータ乗換回路の構成図を示す。データ乗換タイミング同期部 12 の出力部分に実施例 1 ではインバータを用いていたが、ここでは、同図に示すように、AND 論理回路 AD1 を用いる点のみが異なる。このような構成では、タイミング信号 dt4 を出力している期間内で、かつ検出データの変化点が表われた後のタイミング期間内で検出データ dt2 の乗換えが行われる。

【0055】図 10 に、実施例 2 のタイムチャートを示す。図 8 と同様に、検出データ dt2 は、FF1 から出力されるパルス信号 dt1 の立下りのタイミングでラッチされ (図 10 の㉑)、また、dt3 及びタイミング信号 dt4 が出力される。

【0056】データ乗換タイミング同期部 22 において、AND 回路 AD1 によって、dt3 と dt4 が図 9 に示すように AND 演算される。結局、AND 回路 AD1 からは図 10 に示すようなパルス信号 dt1 の立下りを検出する立下り検出パルス信号 dt5 が出力され、この dt5 の立下りのタイミングで、検出データ dt2 がラッチされる (図 10 の㉒)。ここで、パルス信号 dt5 は検出データ dt2 の変化点 (図 10 の㉑) の直後に出力されている。

【0057】すなわち、dt5 と乗換えようとするデータの変化点が時間的に重なることながないので、データを誤って乗り換えるような状態は発生しない。したがって実施例 1 と同様に、信頼性の高いデータ乗換回路を実現することができる。

【0058】実施例3: 図11に、この発明の実施例3のデータ乗換回路の構成例を示す。前記実施例では、データ乗換タイミング生成部からデータ乗換タイミング同期部へ出力されるパルス信号d t 1は、受信クロックのみに同期した信号であったが、ここでは、送信クロックのクロック幅を考慮したパルス信号をデータ乗換タイミング同期部へ出力するようにしたものである。

【0059】実施例1及び2で示したように、送信クロックが受信クロックに比べて十分速い場合は問題ないが、送信クロックが受信クロックに比べて遅い場合には、データの乗換が正常にできない場合がありうる。

【0060】たとえば、データ乗換タイミング同期部へ出力されるパルス信号d t 1のパルス幅が送信クロック幅と同じか又は小さい場合に、このパルス幅がフリップフロップFF3及びFF4のセットアップホールドタイム期間中に存在する場合には、データ乗換のタイミングが送信クロックでつかめないことになり、したがって正常なデータ乗換ができない。すなわち、パルス信号d t 1からデータ乗換タイミング同期部でデータ乗換タイミングを正常に取り込むためには、パルス信号d t 1のパルス幅は、少なくとも送信クロックの1クロック幅以上必要であるが、さらに確実なデータ乗換えのためには送信クロックの2クロック幅以上が必要となる。

【0061】この実施例3では、送信クロックと受信クロックの周波数が未知の場合でも、正常にデータの乗換が行なわれるタイミングを生成するものである。

【0062】図11において、送信クロックのクロック幅を考慮したパルス幅を持つパルス信号d t 1を生成するためにデコーダ及びセレクト等からなる回路をデータ乗換タイミング生成部23の中に備えると共に、送信クロックs c kと受信クロックr c kとを比較し、設定されたデータ乗換タイミングに必要なパルス幅を生成するための情報、すなわちクロック幅バイナリデータb d tを出力するクロック周波数比較部25を備える。この構成部分が実施例1と異なる。この周波数比較部25については後述する。

【0063】ここで、クロック幅バイナリデータb d tは、送信クロックs c kと受信クロックr c kの比較の結果、データ乗換タイミングとして受信クロックの何クロック分のパルス幅が必要であることを示す情報であり、一般に2値データであることが好ましい。たとえば、クロック幅バイナリデータb d tとしては“01”、“10”のようなデータが出力される。

【0064】データ乗換タイミング生成部23において、図11に示すようにデコーダDEC(X)に加えてデコーダDEC(X-1、X-2)、OR回路を設け、受信クロックr c kのクロック数をカウントする回路を形成する。すなわち、デコーダDEC(X)によって、受信クロックの1クロック幅に相当するパルスが出力され、デコーダDEC(X-1)及びOR回路によって受

信クロックの2クロック幅デコーダDEC(X-2)及びOR回路によって受信クロックの3クロック幅に相当するパルスが出力される。

【0065】これらの3つのクロック幅に相当するパルスはセレクトSに入力されて、クロック周波数比較部25から出力されるクロック幅バイナリデータb d tにより、いずれか1つが選択されてフリップフロップFF6へ送られる。そして、FF6からは、受信クロックr c kに同期し、さらに受信クロックの1、2又は3クロック幅に相当するパルス幅のパルス信号d t 1が出力される。

【0066】ここで、前記セレクトSは、クロック幅バイナリデータb d tの値によって、入力される3つのクロック幅に相当するパルスのうちどれか1つを選択して出力するが、たとえば、b d t = “01”が入力された場合には、1クロック幅のパルスが選択され、b d t = “10”の場合には2クロック幅のパルスが選択され、b d t = “11”の場合に3クロック幅のパルスが選択されるものとする。以上が、この実施例3のデータ乗換タイミング生成部23の動作の概要である。

【0067】データ検出部24では、実施例1、2と同様に、FF1から出力されたパルス信号に基づいて、受信データd i nから検出データを抜き出す。また、データ乗換タイミング同期部22では、フリップフロップFF6から出力されるパルス信号d t 1をフリップフロップFF3、FF4、及びインバータによって送信クロックs c kに同期したパルス信号に変換して、データ乗換部21のEN端子に与える。このデータ乗換タイミング同期部22と、データ乗換部21での検出データの乗換え動作は実施例1と同様である。

【0068】図12、図13及び図14に、実施例3のタイムチャートを示す。図12は、クロック幅バイナリデータb d tが“01”であり、図11のセレクトSにおいて1クロック幅のパルスが選択された場合のタイムチャートである。図12において、FF6のQ出力、すなわちデータ乗換タイミングを示すパルス信号d t 1は受信クロックの1クロック幅であり、送信クロックの2クロック分以上あるパルスとして出力される。

【0069】このため、データ乗換タイミング同期部22のフリップフロップFF3、FF4において、送信クロックs c kに基づいてデータ乗換のタイミングを示すパルス信号をd t 3及びd t 4として取り出すことが可能となる。

【0070】また、図13は、クロック幅バイナリデータb d tが“10”であり、図11のセレクトSにおいて、2クロック幅のパルスが選択された場合のタイムチャートである。すなわち、図13において、パルス信号d t 1は、受信クロックの2クロック幅として出力される。

【0071】また図14は、クロック幅バイナリデータ

b d t が “11” であり、図 11 のセクタ S において、3 クロック幅のパルスが選択された場合のタイムチャートである。すなわち、図 14 において、パルス信号 d t 1 は、受信クロックの 3 クロック幅として出力される。

【0072】図 13 及び図 14 においても、図 12 と同様に、データ乗換タイミング同期部 22 において、送信クロック s c k に基づいてデータ乗換タイミングを示すパルス信号を取り出すことができる。

【0073】以上のように、実施例 3 では、送信クロックと受信クロックの周波数を比較して、乗換タイミングとして必要な受信クロックのクロック幅を有するパルス信号をデータ乗換タイミング生成部から出力するようにしているので、送信クロック及び受信クロックの周波数が未知の場合でも、確実にデータ乗換タイミングを生成することができる。したがって、前記実施例と同様に、信頼性の高いデータ変換回路を実現することができる。

【0074】次にこの実施例 3 で用いるクロック周波数比較部 25 の実施例について説明する。図 15 に、図 11 のクロック周波数比較部 25 の回路例を示す。クロック周波数比較部 25 は、送信クロックを一定時間カウントする送信クロックカウンタ部 26、受信クロックをカウントする受信クロックカウンタ部 28、送信クロックと受信クロックをカウントするタイミングの同期をとるタイミング同期部 27 及び送信クロック及び受信クロックの周波数に相当するカウント値を比較し、その比較結果としてクロック幅にバイナリデータ b d t を出力する周波数比較部 29 とから構成される。

【0075】図 15 に示すように、設定時間 T が、送信クロックカウンタ部 26 に入力される。この設定時間 T とは、周波数を比較するためのサンプル時間のことである。また、この設定時間 T は、外部設定入力により与えられるものであり、たとえば、設定時間が 2 種類の場合設定時間 T1 時 “0” を入力、設定時間 T2 時 “1” を入力するという様に使用する。

【0076】このクロック周波数比較部 25 の動作概要を次に示す。まず設定時間 T が入力されると送信クロックカウンタ部 26 は、送信クロック s c k に同期して設定時間毎にタイミングパルス P1 を出力する。次にこのタイミングパルス P1 がタイミング同期部 27 に入力されると、データ受信クロック r c k に同期させられる。

【0077】受信クロックカウンタ部 28 で、データ送信クロックに同期した設定時間毎のタイミングパルス間隔で送信クロックカウンタ値をラッチし、周波数比較部 29 で設定時間 T、つまり受信クロックカウンタ値と送信クロックカウンタ値を比較し、受信クロック r c k で生成されるデータ乗換タイミングが受信クロックの何クロック分必要かを示すクロック周波数比較情報、すなわちクロック幅バイナリデータを出力する。

【0078】次に、図 15 の各部の動作を説明する。送

信クロックカウンタ部 26 では、フリップフロップ C T R 1 及びデコード D E C (Y-1) によって 0 ~ (Y-1) までカウントし、C T R 1 の出力をデコード D E C (Y/2-1) でデコードし、このデコード出力をフリップフロップ F F 11 の J 端子及び K 端子に入力し、F F 11 の Q 端子から、Y 周期の D U T Y が 50 % となるパルス P1 を出力する。ここで Y とは、設定時間の周期を意味する。

【0079】タイミング同期部 27 では、このパルス P1 を入力とし、F F 12、F F 13 及び F F 14 等を用いてそのパルス P1 の立ち上がり検出を行うことによって、F F 4 の Q 端子から受信クロック r c k に同期した受信クロックの 1 クロック幅のパルス P2 を出力する。受信クロックカウンタ部 28 では、この 1 クロック幅のパルス P2 が入力されるごとに、フリップフロップ C T R 2 の Q 端子から出力されるカウンタパルスを、フリップフロップ F F 15 がラッチする。このとき C R T 2 には、“0” がロードされる。ここで、F F 15 の Q 端子からの出力 P3 は、送信クロック s c k の Y クロック幅の中に受信クロック r c k が何クロックあるかを示している。

【0080】周波数比較部 29 において、C O M P 1、2 及び 3 は比較器であり、比較器の Q 端子からは設定値以上の入力データがあった場合にパルスを出し、X Q 端子からは設定値以下の入力データがあった場合にパルスを出し、そのパルスは、送信クロック s c k の Y クロック幅の中に受信クロック r c k が何クロックあるかを示している。

【0081】また、R G は、設定時間変換器であり、設定時間 T によって与えられる C T R 2 に対応する設定値（設定値 2 Y-1、Y-1、Y/2-1）にそれぞれ変換するものである。ここで 2 Y-1 は、設定時間の 2 倍、Y-1 は設定時間の 1 倍、Y/2-1 は設定時間の 1/2 倍の値に相当する。

【0082】比較器 1 ~ 3 において、F F 15 の Q 端子から出力されたデータ P3 が、(Y/2-1) 以下の場合は、C O M P 1 のみがアクティブとなり、セクタ C O D から “01”、すなわち 1 クロック幅ということを示すクロック幅バイナリデータ b d t を出力し、データ P3 が (Y/2-1) 以上 (Y-1) 以下の場合には “10”、すなわち 2 クロック幅ということを示す b d t を出力し、データ P3 が (Y-1) 以上 (2 Y-1) 以下の場合は “11” すなわち 3 クロック幅であるということを示す b d t を出力する。

【0083】以上に、送信クロックと受信クロックの周波数を比較して、クロック幅バイナリデータを生成するためのクロック周波数比較部 25 の構成及び動作の一例を示したが、これに限定されるものではない。

【0084】**実施例 4**：図 16 に、この発明の実施例 4 のデータ乗換回路を示す。前記した実施例 1 及び 2 に示したデータ乗換回路は、送信クロック及び受信クロックの周波数が予めわかっている場合に適用することが好ま

しい。また実施例 3 では、送信クロックと受信クロックの周波数とが未知の場合にも適用できるように、データ乗換タイミングを示すパルス信号のパルス幅を制御するものである。

【0085】ここでは、実施例 3 のようなパルス幅の制御をすることなく、送信クロックと受信クロックの周波数に差がある場合でも、検出データの乗り換えが正常に可能なデータ乗換回路の例を示す。

【0086】図 16 において、回路構成は図 7 に示したものとほぼ同様であるが、データ乗換タイミング同期部 22 の回路構成が異なる。すなわち、データ乗換タイミング同期部 22 は、図 16 に示すようにデータ乗換タイミングによる立上り及びデータ乗換後の立下りを生成する第 1 タイミング制御部 30、データ乗換後に立上り及びデータ乗換タイミング待機時に立下りを生成する第 2 タイミング制御部 31、データ乗換後に立上りパルスを生成する第 1 タイミング同期部 32、第 1 タイミング制御部 30 の出力 p4 を送信クロックに同期させ、立上りパルスと立下りパルスを生成する第 2 タイミング同期部 33 とから構成される。

【0087】次に、この実施例のデータ乗換回路の動作概要を示す。データ乗換タイミング生成部 23 において、カウンタ CTR によって 0 から X までカウントし、カウント値が X になったときにデコード DEC からパルスが出力され、さらに FF1 から受信クロック rck に同期したパルス信号 dt1 が出力される。データ検出部 24 では、フリップフロップ FF2 の EN 端子に前記パルス信号 dt1 が入力されて、受信データ din から特定位置に存在する検出データ dt2 を抜き出す。以上の動作は、図 7 に示した実施例 1 と同様である。

【0088】以下に述べるデータ乗換タイミング同期部 22 の動作が、この実施例 4 の特有の動作であり、これによってパルス幅の制御をすることなく、データ乗換えが実現される。すなわち、パルス信号 dt1 のパルス幅を大きくすることによって、送信クロックの周波数の高低にかかわらず、検出データ dt2 を乗り換えるためのタイミングを生成する。

【0089】図 17 に、この実施例 4 のデータ乗換回路のタイムチャートを示す。まず、第 1 タイミング制御部 30 において、フリップフロップ FF3 の J 入力端子に、データ乗換タイミング生成部 13 の FF1 から出力されるパルス信号 dt1 が入力される。これによって、FF3 はセットされて、図 17 に示すようなタイミング信号 P4 が立ち上がる。

【0090】第 2 タイミング同期部 33 では、このタイミング信号 P4 が入力されて、フリップフロップ FF4、FF5 及び AND 回路 AD2 によって、送信クロック sck に同期した立ち上がり検出パルス P5 を生成する。この立ち上がり検出パルス P5 は、データ乗換部 21 の FF6 の EN 端子に入力され、実施例 1 と同様にデ

ータ乗換部 21 で検出信号 dt2 が送信クロック sck に乗り換えられる。この乗り換えるタイミングは図 17 に示すように、検出データ dt2 の変化点より後方であり、実施例 1 と同様なタイミングである。

【0091】また、第 2 タイミング同期部 33 では、FF4、FF5 及び AND 回路 AD2 によってタイミング信号 P4 から送信クロック sck に同期した立ち下がり検出パルス P8 を生成する。第 2 タイミング制御部 31 は、フリップフロップ FF7 からなり、第 2 タイミング同期部 33 で生成された立ち上がり検出パルス P5 が J 入力端子に入力され、立ち下がり検出パルス P8 が、K 入力端子に入力される。FF7 は、J 入力端子に入力された立ち上がりパルス P5 によってセットされ、タイミングパルス P6 を出力する。

【0092】このタイミングパルス P6 は、第 1 タイミング同期部 32 に入力されフリップフロップ FF8、FF9 及び AND 回路 AD4 によって、受信クロック rck に同期した立ち上がり検出パルス P7 が生成される。この立ち上がり検出パルス P7 は、第 1 タイミング制御部 30 の FF3 をリセットし、データ乗換タイミング同期部 22 を次のデータ乗換の待機状態にするためのものである。すなわち、立ち上がり検出パルス P7 は FF3 の K 入力端子に入力され、FF3 をリセットし、タイミング信号 P4 を立ち下げる。

【0093】第 2 タイミング同期部 33 では、このタイミング信号 P4 の立ち下がりを検出することによって、AND 回路 AD3 から立ち下がり検出パルス P8 が出力される。さらに、この立ち下がり検出パルス P8 は、第 2 タイミング制御部 31 の FF7 の K 入力端子に入力されて、FF7 をリセットする。FF7 がリセットされることにより、タイミングパルス P6 は立ち下がり、その結果、データ乗換タイミング同期部 22 の各部は、次のデータ乗換の待機状態となる。

【0094】以上のように、データ乗換タイミング同期部 22 を構成し、送信クロックに同期した乗換タイミングを生成することによって、送信クロックと受信クロックの周波数に差がある場合でも、両クロックの周波数の差を検出してデータ乗換タイミングを示すパルス信号のパルス幅を制御することなく、検出データのクロック乗換えをすることが可能となる。

【0095】実施例 5：図 18 に、この発明の実施例 5 のデータ乗換回路を示す。ここでは、前記した実施例に示したように、受信クロックからデータ乗換タイミングを生成することなく、送信クロックを用いて検出データを乗り換える実施例を示す。

【0096】この実施例 5 では、送信クロック sck を生成するためのマスタークロック mck として、受信クロック rck よりも十分高い周波数のものが使用されることを前提とする。この送信クロックのマスタークロック mck は、データ乗換回路の外部から与えられるもので

あり、たとえば、このデータ乗換回路を含むデータ伝送制御装置を内部で発生させられる。図18において図示していないが、実施例1に示したようなデータ検出部24により挿出された検出データd t 2が生成される。

【0097】この実施例は、マスタクロックm c kから送信クロックs c kを生成する送信クロック生成部34、検出データd t 2をマスタクロックm c kに同期させる検出データ同期部36、検出データ同期部36で取り込まれたデータを時間的にずらせて、データの変化点が存在しないタイミングを判定するデータ乗換タイミング判定部35と、前記実施例でも用いたデータ検出部24及びデータ乗換部21とから構成される。

【0098】図19に、この実施例のデータ乗換のタイムチャートを示す。図19に示すように、送信クロックのマスタクロックm c kは、受信クロックr c kに比べて十分速い周波数であるものとする。送信クロック生成部34は、 $1/N$ 分周期であり、マスタクロックm c kを $1/N$ に分周し、送信クロックs c kを生成する。

【0099】検出データ同期部26は、DフリップフロップFF1、FF2から構成され、入力された検出データd t 2をマスタクロックm c kに同期させて、マスタクロックm c kの周期分だけ時間的にずれたデータd t 7をFF2のQ端子から出力する。

【0100】データ乗換タイミング判定部35は、フリップフロップFF3、FF4とE-NOR回路によって構成され、マスタクロックの3周期分の検出データを監視しデータ乗換タイミングを生成する。すなわち、データ乗換タイミング判定部35のFF3及びFF4によってFF2から出力されたデータd t 7の1クロック前及び2クロック前のデータ(d t 8、d t 9)を検出し、データd t 7、d t 8及びd t 9を、E-NOR回路に

入力する。

【0101】E-NOR回路では、この入力された3つのデータが一致するかどうか判定され、3つのデータがすべて一致した場合にのみ、図19に示すようなタイミングパルスP9を出力する。ここで、3つのデータがすべて一致することは、データの変化点が存在しないタイミングであり、このタイミングでデータ乗換をすれば、乗り換え誤りが発生することはない。さらに、タイミングパルスP9は、データ乗換部21のFF5のEN

端子にイネーブル信号として入力される。

【0102】FF5では、このタイミングパルスP9が出力されている状態('H'レベル)で、データd t 7が送信クロックに乗り換えられ、乗換後データd o u tとして出力される。

【0103】以上のように、送信クロックのマスタクロックの周波数が受信クロックの周波数よりも十分高い場合には、送信クロックのマスタクロックに同期した複数周期分の検出データが一致するかどうかを監視することによって、受信クロックを用いたデータ乗換タイミング

を生成することがなく、簡単な回路構成を備えるだけで検出データの乗換えが可能である。

【0104】なお、この実施例の様なデータ乗換タイミング判定部25の構成では送信クロックのマスタクロックの周波数が受信クロックの周波数に比べて、4倍程度高い場合に、この実施例5を適用することが可能であり、特に5倍以上高い場合にこの実施例5を用いることが好ましい。

【0105】実施例6：図20に、この発明の実施例6のデータ乗換回路を示す。ここでは、受信クロックが送信クロックよりも十分高い周波数を持つ場合に、送信クロックの立ち上がりエッジのタイミングでは、検出データの変化点が来ないように検出データをラッチし、前記した実施例1のような受信クロックによる乗換タイミングを生成することなく、送信クロックのみを用いて検出データを乗り換える実施例を示す。したがって、この実施例6では、受信クロックが送信クロックよりも十分高い周波数を持つことを前提とする。

【0106】図20においては、実施例1に示したデータ検出部24は図示していないが、データ検出部24において検出データd t 2が生成される。この実施例は、送信クロックを受信クロックによって微分する送信クロック微分処理部37と、送信クロック微分処理部37から出力される立ち上がり検出パルスP12をもとに受信クロックのタイミングで検出データを取り込む検出データラッチ部38と、前記実施例1でも用いたデータ検出部24及びデータ乗換部21から構成される。

【0107】ただし、データ乗換部21において、乗換タイミングを示す信号を入力することなく、送信クロックのみを用いて検出データを乗り換えるように構成される点が前記実施例1などとは異なる。

【0108】図21に、この実施例のデータ乗換のタイムチャートを示す。同図に示すように、受信クロックr c kは送信クロックよりも十分高い周波数を持つものとする。送信クロック微分処理部37は、たとえばフリップフロップFF1、FF2及びAND回路AD5とから構成される。FF1のD入力端子には送信クロックs c kが入力される。

【0109】図21に示すように、FF1、FF2及びAD5によって、送信クロックs c kのエッジ検出パルス、すなわち送信クロックs c kが微分された立ち上がり検出パルスP12が生成される。このパルスP12は受信クロックに同期しており、送信クロックの周期の間隔で出力される。この立ち上がり検出パルスP12は検出データラッチ部38に入力される。

【0110】検出データラッチ部38はフリップフロップFF3からなり、検出データd t 2を受信クロックr c kに同期させてラッチするものである。このとき、FF3のEN端子に前記した立ち上がり検出パルスP12が入力されるため、図21に示すようにP12の立下りのタ

イミングで検出データ $d_t 2$ がラッチされる。ラッチされたデータは、 $d_t 10$ として FF 3 から出力される。

【0111】このようにすることにより、ラッチされた検出データ $d_t 2$ の変化点は、送信クロックの立ち上がり時のタイミングには現われないようにすることができる。したがって、データ乗換部 21 では、特別に生成されたデータ乗換タイミングで検出データの乗換えを行う必要はないので、データ乗換部 21 を構成する FF 4 には、送信クロック sck をクロック入力端子 CK に入力するだけでよい。これにより、図 21 に示すように、データ乗換部 21 において FF 4 の D 入力端子に入力される検出データ $d_t 10$ は、確実に送信クロックに乗り換えられる。

【0112】以上のように実施例 6 では、送信クロック微分処理部 37 において、送信クロック sck の立ち上がりエッジを検出して、立ち上がり検出パルス $P12$ を生成しているので、検出データ $d_t 2$ の変化点が送信クロック sck の立上りエッジの位置に存在しないようにすることが特徴である。

【0113】このようにすることによって、データ乗換部 21 において、送信クロックのみを用いて正確に検出データを乗り換えることが可能となる。したがって、受信クロックが送信クロックよりも十分に高い周波数を持つ場合には、受信クロックによる乗換タイミングを生成する構成を有することなく、簡単な回路でデータ乗換回路が実現できる。

【0114】なお、受信クロックの周波数が送信クロックの周波数に比べて、2 倍程度高い場合に、この実施例 6 を適用することができ、3 倍以上高い場合に、この実施例 6 を用いることが特に好ましい。

【0115】

【発明の効果】この発明によれば、データ乗換タイミング生成手段によってデータ乗換タイミングパルスを生成し、これをデータ乗換タイミング同期手段によって送信クロックに同期させ、この送信クロックに同期したデータ乗換タイミングパルスを用いて、受信データを送信クロックに同期するように乗り換えているので、受信データを誤って乗り換えるような状態が発生するのを防止することができ、信頼性の高いデータ乗換回路を実現することができる。

【0116】また、この発明によれば、データ検出手段がデータ乗換タイミングパルスを用いて受信データの中から特定位置のデータを検出データとして抜き出して、データ乗換手段が送信クロックに同期した検出データに変換するので、特定位置の検出データについて非同期のクロック間の乗り換えを誤りなく行うことができる。

【0117】また、データ乗換タイミング同期手段にインバータ回路を設けてデータ乗換タイミングパルスを反転させることによって、検出データの変化点が存在する間はデータ乗り換えを行わず、データ乗換タイミングパ

ルスが入力された直後の送信クロックによって検出データを送信クロックに同期するように乗り換えるので、データを誤って乗り換えるような状態は発生することがなく、信頼性の高いデータ乗換回路を実現することができる。

【0118】また、データ乗換タイミング同期手段にパルスの立下りを検出する立下り検出回路を設けることによって、この立下り検出パルス信号が出力されている時のみ、検出データを送信クロックに同期するように乗り換えているので、データを誤って乗り換えるような状態は発生することがない。

【0119】また、この発明によれば、クロック周波数比較手段を設けて、クロック周波数比較手段から出力されるクロック幅バイナリデータを受けてデータ乗換タイミング生成手段がデータ乗換タイミングパルスのパルス幅を制御しているので、送信クロック及び受信クロックの周波数が未知の場合でも、確実にデータ乗換タイミングを生成することができる。

【0120】また、この発明によれば、データ乗換タイミング同期手段が、第 1 及び第 2 のタイミング同期手段と第 1 及び第 2 のタイミング制御手段とを備え、前記第 2 のタイミング信号が前記第 1 タイミング同期手段に入力され、第 2 の立上り検出パルス信号が、データ乗換手段において受信クロックと送信クロックの周波数に関係なく、検出データを送信クロックに同期するように乗り換えることのできるタイミングで、データ乗換手段に入力されるので、データ乗換タイミングを示すパルス信号のパルス幅を制御することなく、検出データのクロック乗換えをすることができる。

【0121】また、この発明によれば、送信クロック用のマスタクロックに同期した検出データを一定時間監視して複数クロック周期分同一の検出データが連続するかどうかを判定し、検出データの変化点が存在しないタイミングを示しかつマスタクロックに同期したタイミングパルスを生成するので、受信クロックからデータ乗換タイミングを生成することなく、送信クロックを用いて検出データを乗り換えることができる。

【0122】また、この発明によれば、送信クロック微分処理手段が、受信クロックを用いて送信クロックを微分することにより送信クロックの立上りを検出して受信クロックに同期しかつ送信クロックの周期間隔で出力される立上り検出パルスを出力し、検出データラッチ手段が、この立上り検出パルスをもとに受信クロックのタイミングで検出データを取り込むようにしているので、受信クロックによる乗換タイミングを生成することなく、送信クロックのみを用いて検出データを乗り換えることができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の基本構成ブロック図である。

【図 2】この発明の第 2 の基本構成ブロック図である。

【図 3】この発明の第 3 の基本構成ブロック図である。

【図 4】この発明の第 4 の基本構成ブロック図である。

【図 5】この発明の第 5 の基本構成ブロック図である。

【図 6】この発明の第 6 の基本構成ブロック図である。

【図 7】この発明の実施例 1 のデータ乗換回路の構成ブロック図である。

【図 8】この発明の実施例 1 のタイムチャートである。

【図 9】この発明の実施例 2 のデータ乗換回路の構成ブロック図である。

【図 10】この発明の実施例 2 のタイムチャートである。

【図 11】この発明の実施例 3 のデータ乗換回路の構成ブロック図である。

【図 12】この発明の実施例 3 のタイムチャートである。

【図 13】この発明の実施例 3 のタイムチャートである。

【図 14】この発明の実施例 3 のタイムチャートである。

【図 15】図 11 に示したブロック周波数比較部 25 の回路例である。

【図 16】この発明の実施例 4 のデータ乗換回路の構成ブロック図である。

【図 17】この発明の実施例 4 のタイムチャートである。

【図 18】この発明の実施例 5 のデータ乗換回路の構成ブロック図である。

【図 19】この発明の実施例 5 のタイムチャートである。

【図 20】この発明の実施例 6 のデータ乗換回路の構成ブロック図である。

【図 21】この発明の実施例 6 のタイムチャートである。

【図 22】従来におけるデータの乗り換えの構成ブロック図である。

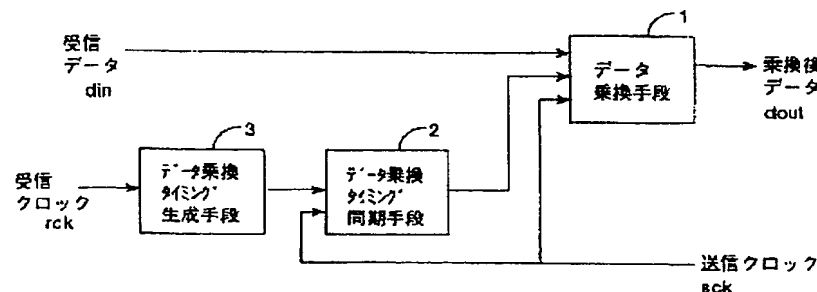
【図 23】従来におけるデータの乗り換えのタイムチャートである。

【符号の説明】

- 1 データ乗換手段
- 2 データ乗換タイミング同期手段
- 3 データ乗換タイミング生成手段
- 4 データ検出手段
- 5 クロック周波数比較手段
- 6 第 1 タイミング制御手段
- 7 第 1 タイミング同期手段
- 8 第 2 タイミング同期手段
- 9 第 2 タイミング制御手段
- 10 送信クロック生成手段
- 11 検出データ同期手段
- 12 データ乗換タイミング判定手段
- 13 送信クロック微分処理手段
- 14 検出データラッチ手段
- 21 データ乗換部
- 22 データ乗換タイミング同期部
- 23 データ乗換タイミング生成部
- 24 データ検出部
- 25 クロック周波数比較部
- 26 送信クロックカウレタ部
- 27 タイミング同期部
- 28 受信クロックカウンタ部
- 29 周波数比較部
- 30 第 1 タイミング制御部
- 31 第 2 タイミング制御部
- 32 第 1 タイミング同期部
- 33 第 2 タイミング同期部
- 34 送信クロック生成部
- 35 データ乗換タイミング判定部
- 36 検出データ同期部
- 37 送信クロック微分処理部
- 38 検出データラッチ部

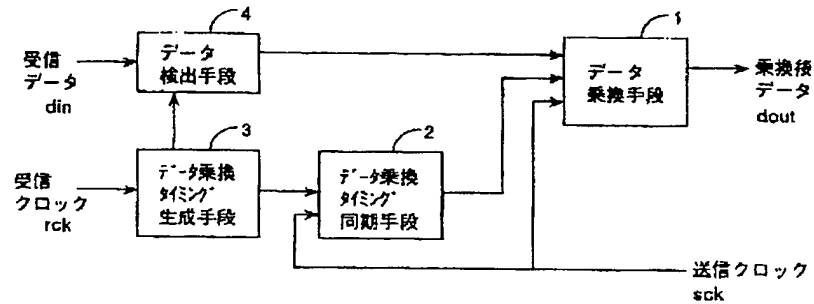
【図 1】

この発明の第 1 の基本構成ブロック図



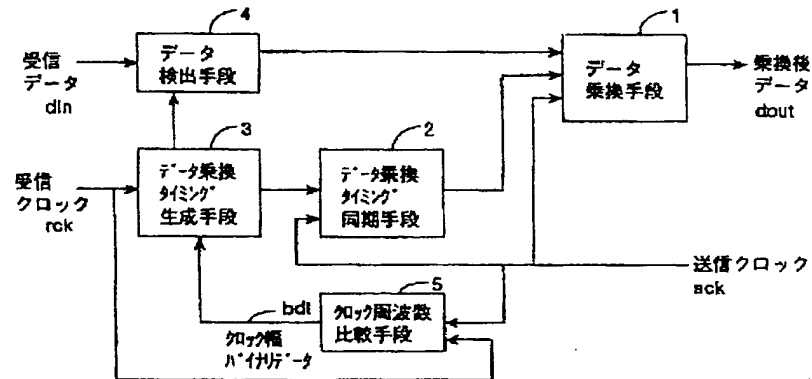
【図2】

この発明の第2の基本構成ブロック図



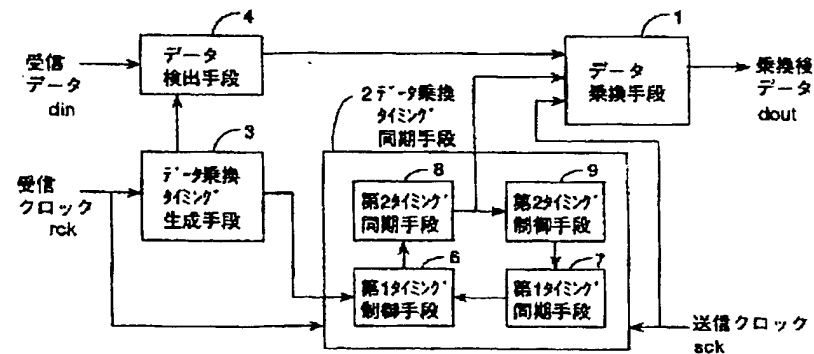
【図3】

この発明の第3の基本構成ブロック図



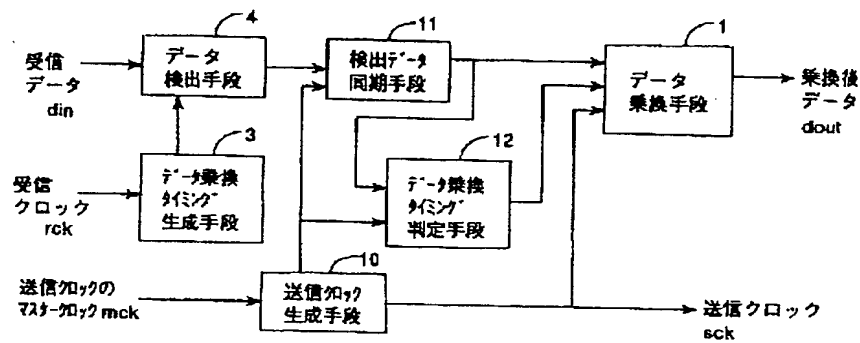
【図4】

この発明の第4の基本構成ブロック図



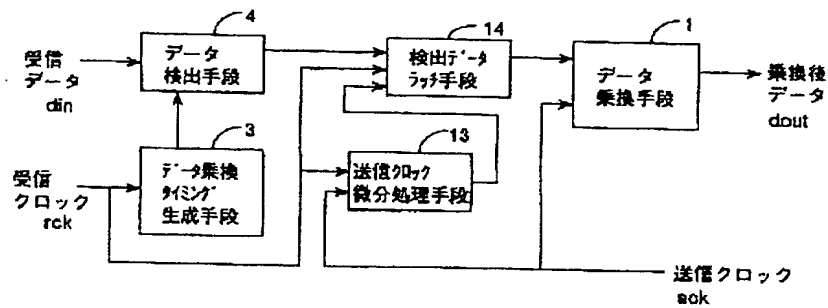
【図 5】

この発明の第5の基本構成ブロック図



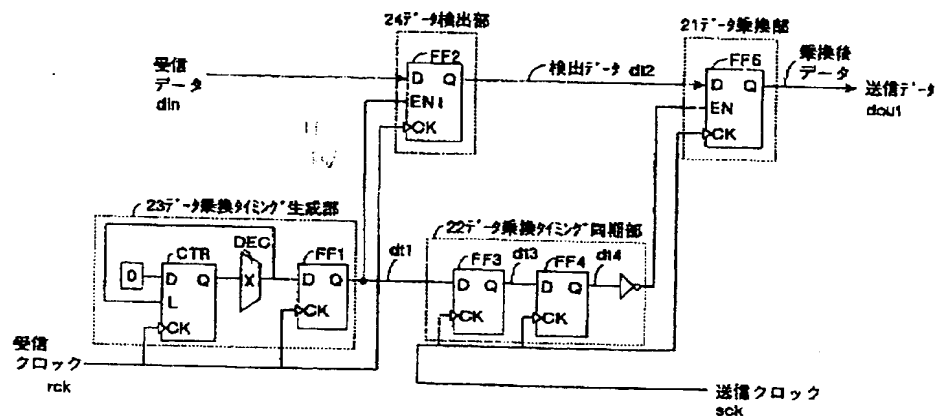
【図 6】

この発明の第6の基本構成ブロック図



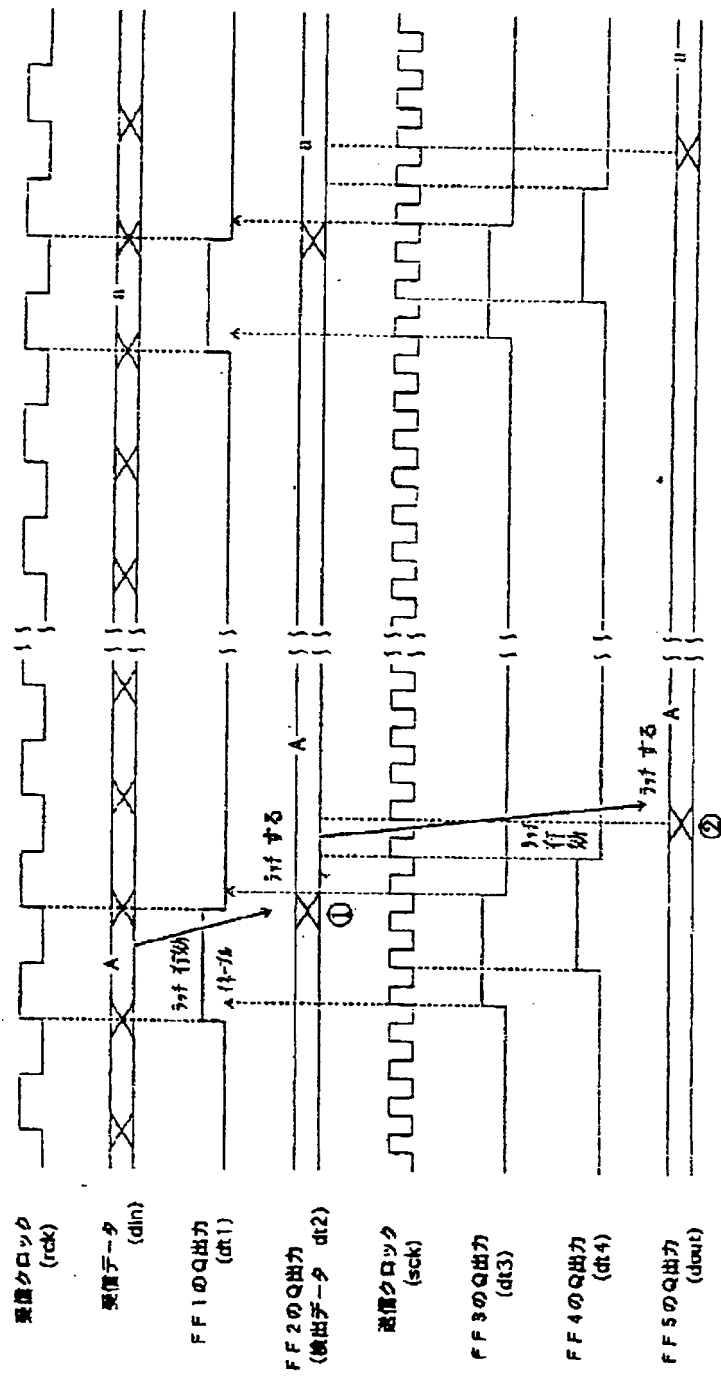
【図 7】

この発明の実施例1の構成ブロック図



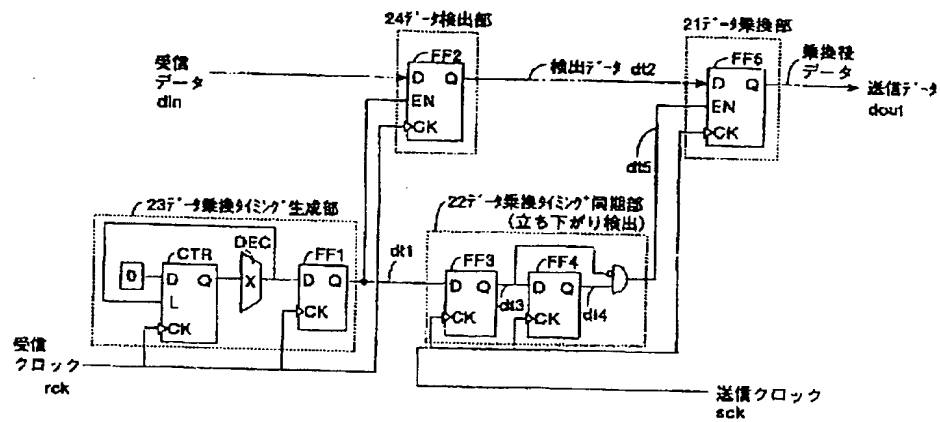
【図 8】

この発明の実施例 1 のタイムチャート



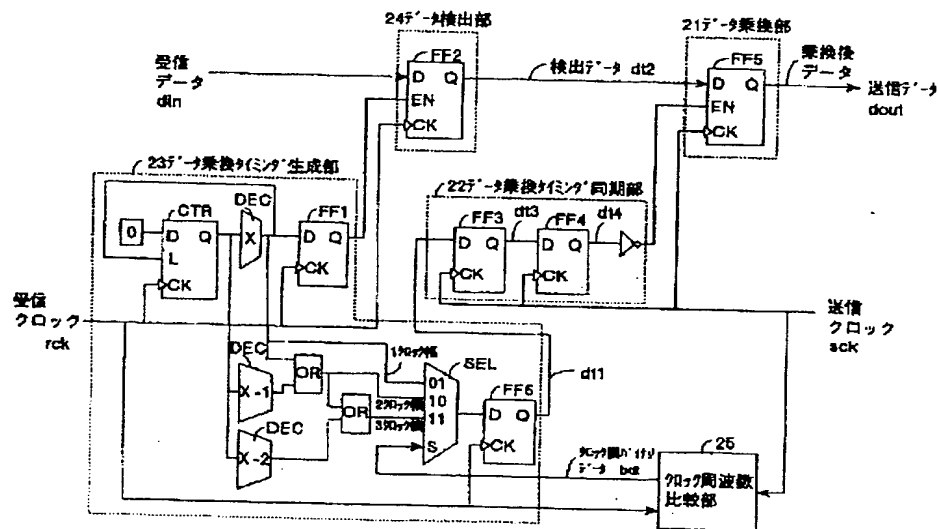
【図9】

この発明の実施例2の構成ブロック図



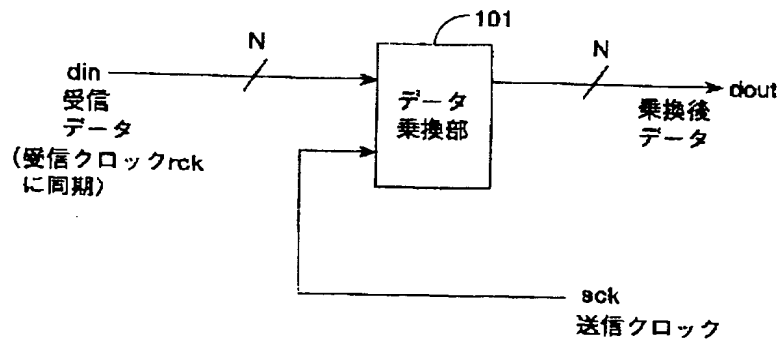
【図11】

この発明の実施例3の構成ブロック図



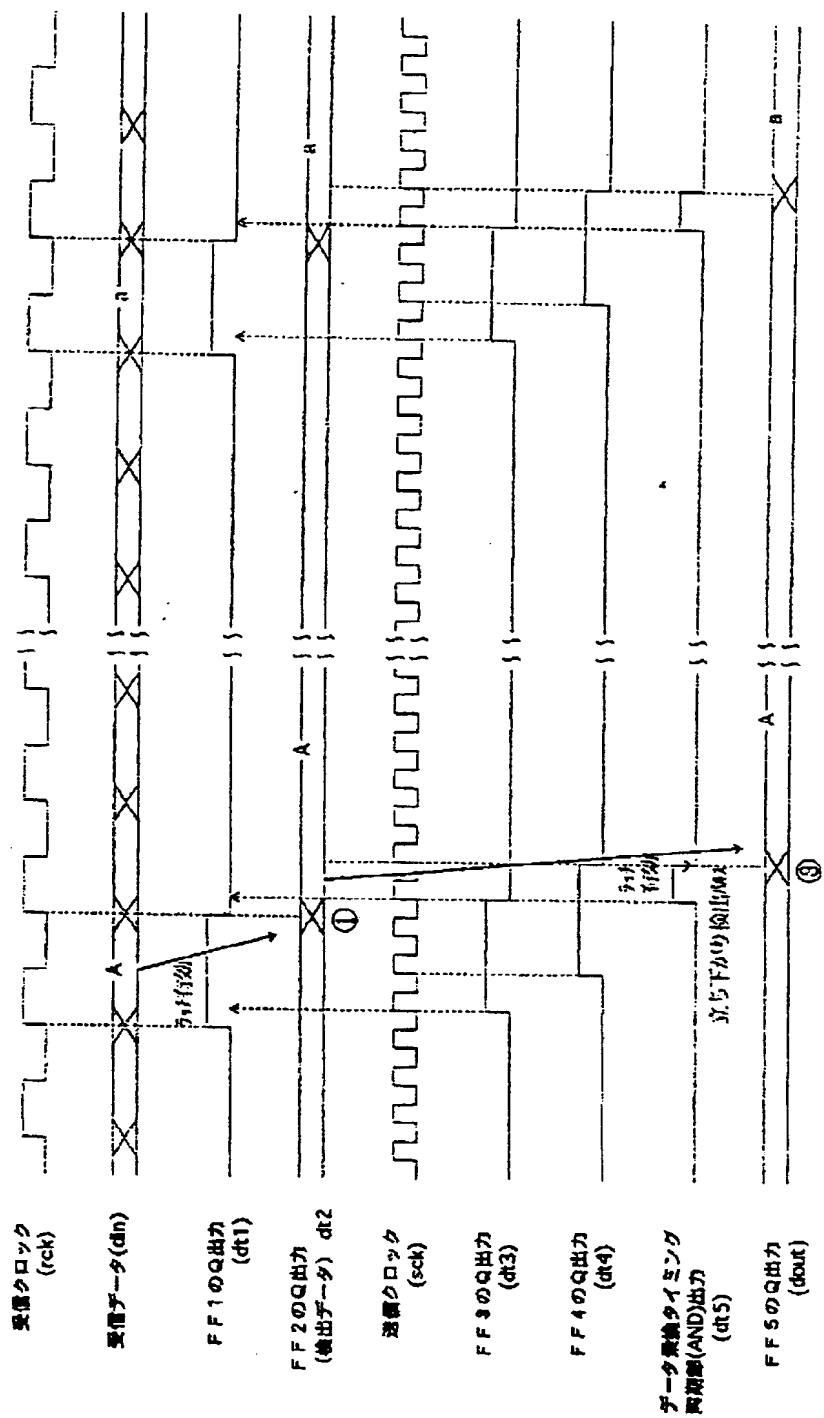
【図22】

従来の基本構成を示すブロック図



【図10】

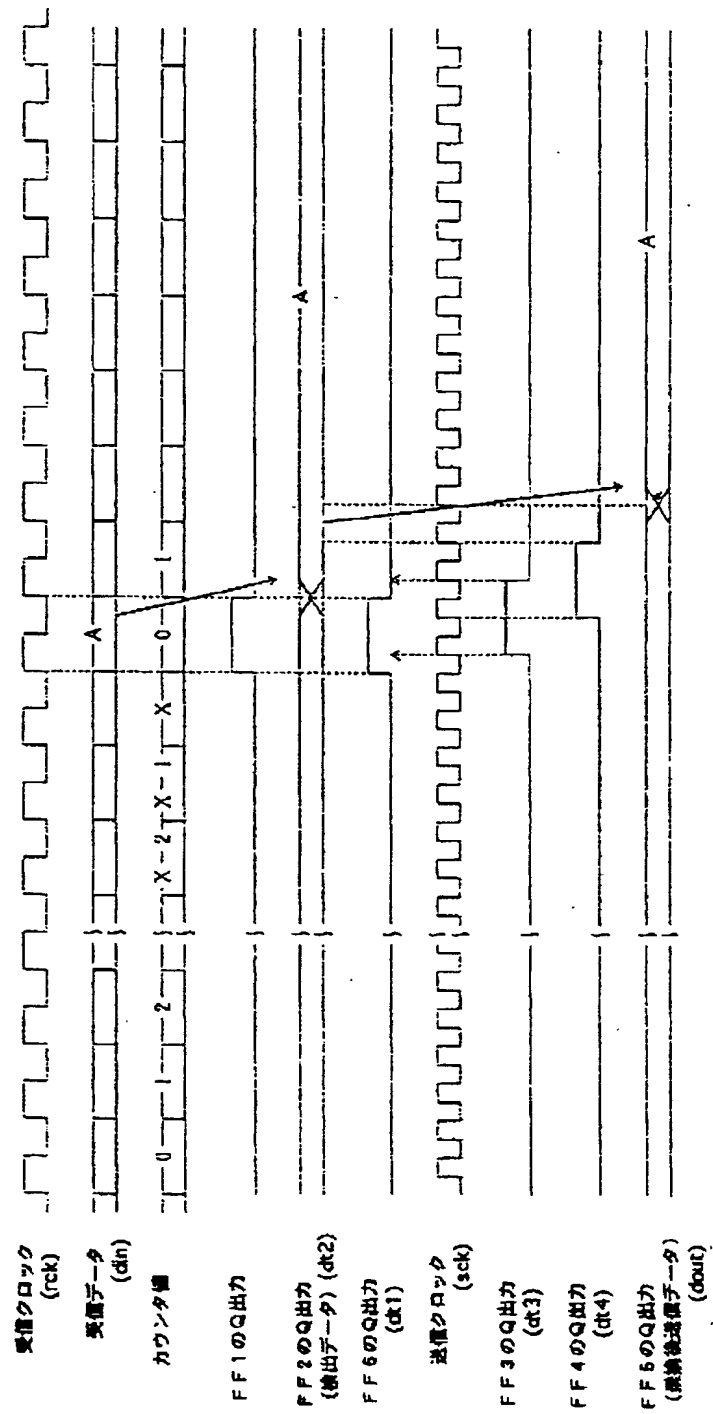
この発明の実施例2のタイムチャート



【図 12】

この発明の実施例 3 のタイムチャート

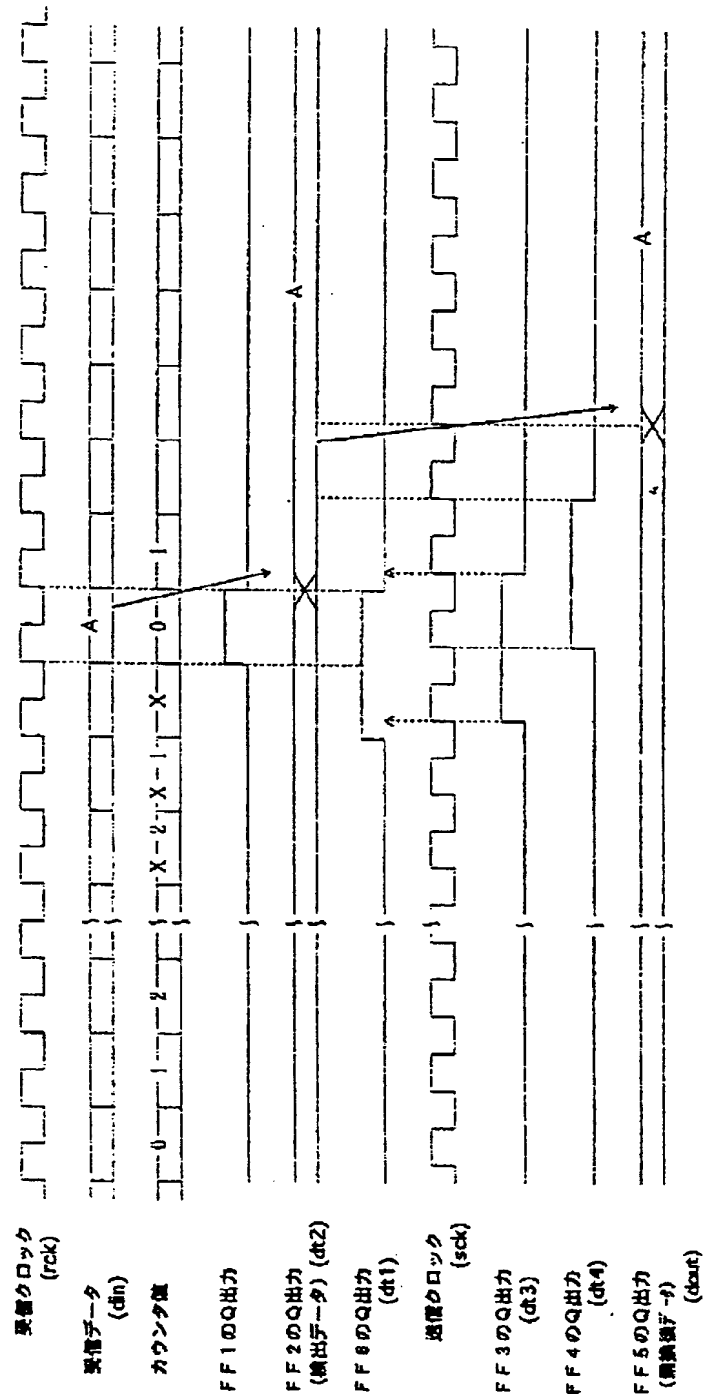
クロック周波数比較器出力のクロック出力イナリデータが“01”のとき



【図13】

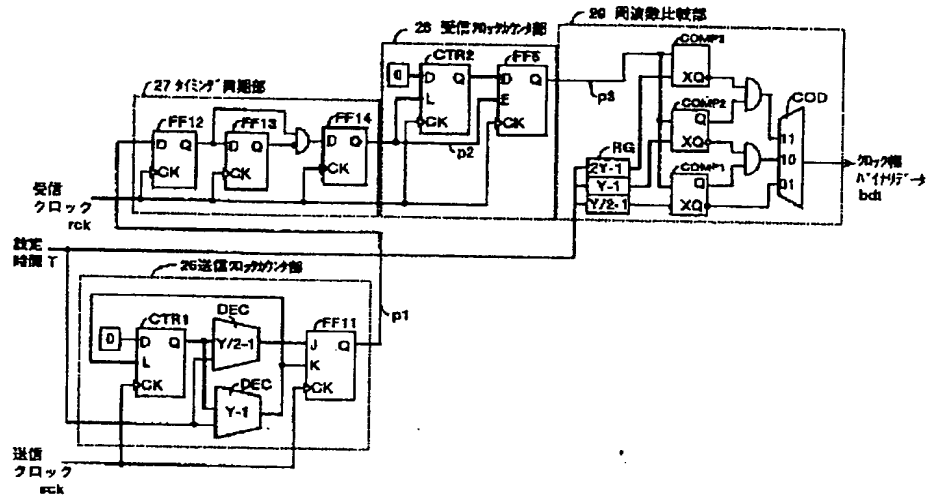
この発明の実施例3のタイムチャート

クロック周波数比較器出力のクロック幅バイナリデータが"10"のとき



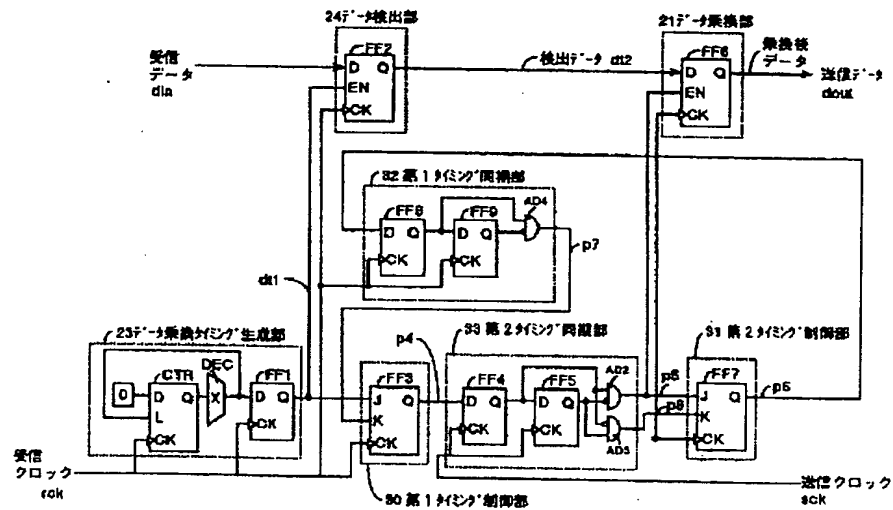
【図15】

図11に示した知った周波数比較部25の回路例



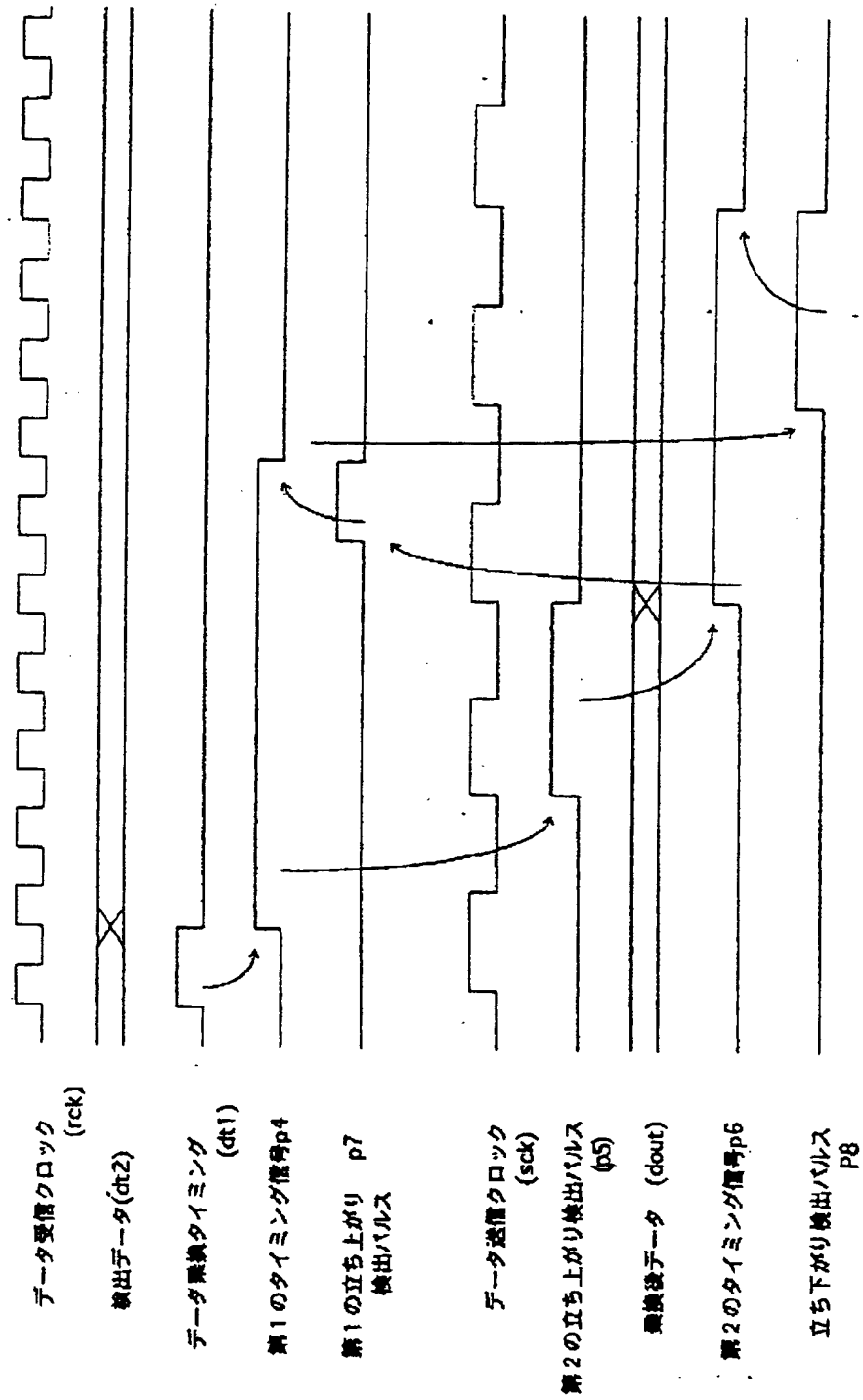
【図16】

この発明の実施例4の構成ブロック図



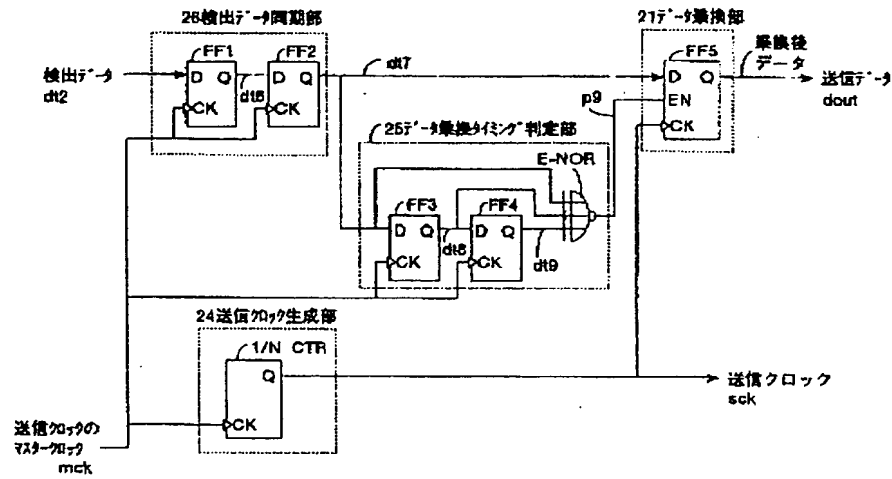
【図17】

この発明の実施例4のタイムチャート



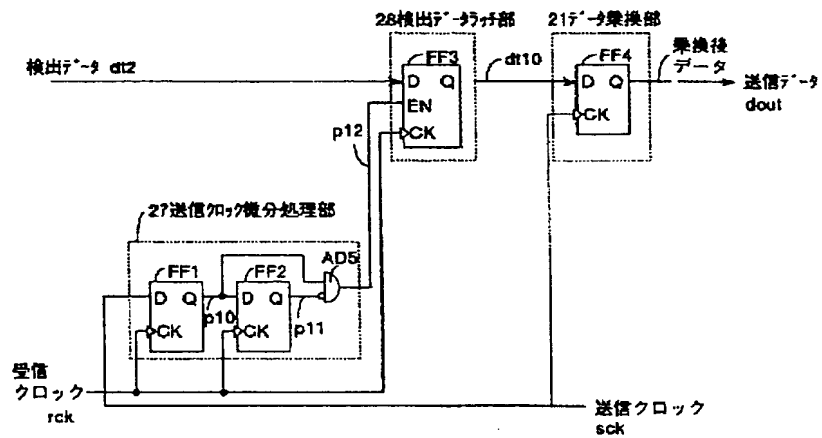
【図18】

この発明の実施例5の構成ブロック図



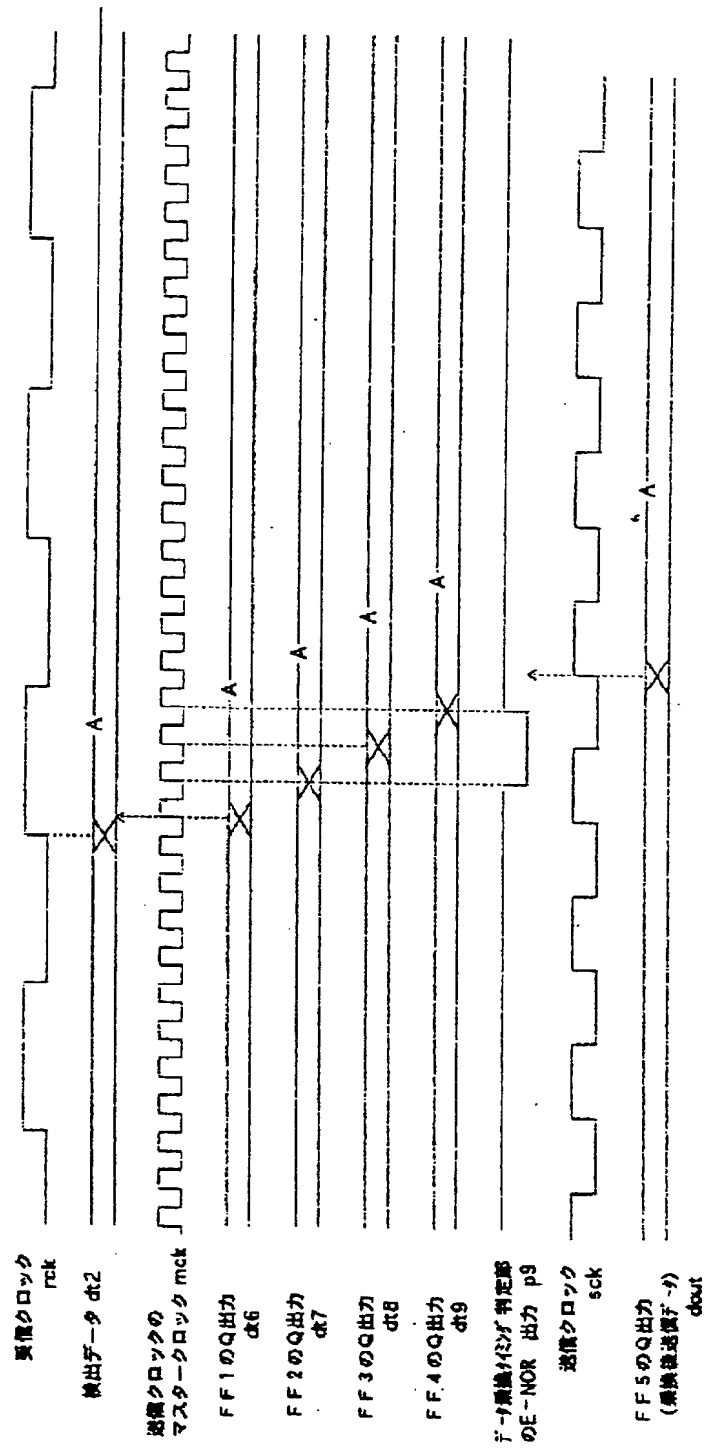
【図20】

この発明の実施例6の構成ブロック図



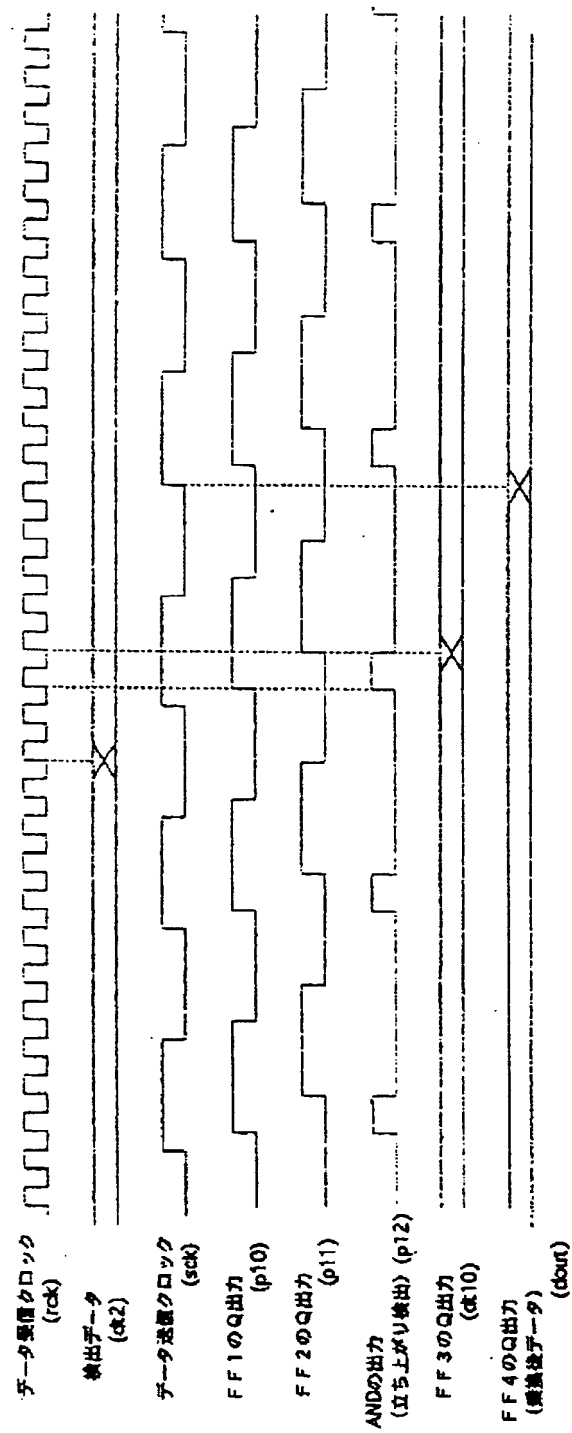
【図 19】

この発明の実施例 5 のタイムチャート



【图 2 1】

この発明の実施例6のタイムチャート



【図 23】

従来のデータ乗換えのタイムチャート

